

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224284

(43) 公開日 平成11年(1999)8月17日

(51) Int.Cl.
G 0 6 F 17/80

識別記号

F I
G 0 6 F 15/21

Z

審査請求 未請求 汎求項の数19 ○ L (全 26 頁)

(21) 出願番号	特開平10-27456	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22) 出願日	平成10年(1998)2月9日	(72) 発明者	渡辺 優明 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72) 発明者	飯野 茂代 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74) 代理人	弁理士 石田 敏 (外3名)

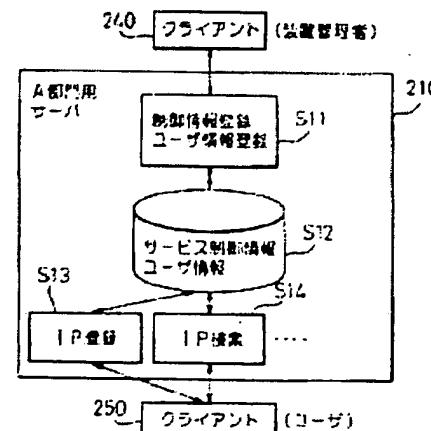
最終頁に続く

(54) 【発明の名称】 半導体設計資産の流通システム並びに流通装置、および、該流通装置用のソフトウェアを記憶し

〔要約〕 た記憶媒体

【課題】 設計資産の利用者は、グローバルに設計資産の情報を入手するのに多くの工数と時間を要し、その結果、設計資産の再利用が進まず、システムLSIの開発が困難となっていた。

【解決手段】 半導体製品に再利用可能な設計資産の流通を行う1つ以上のサーバを備えた半導体設計資産の流通システムであって、前記設計資産を登録させると共に、前記流通システムの利用者および当該利用者が利用できるサービスを登録させる登録手段と、前記利用者に許されたサービスを実行させる実行手段と、前記設計資産を自動的に流通させる流通手段とを具備するように構成する。



【特許請求の範囲】

【請求項1】半導体製品に再利用可能な設計資産の流通を行う1つ以上のサーバを備えた半導体設計資産の流通システムであって、前記設計資産を登録すると共に、前記流通システムの利用者および当該利用者が利用できるサービスを登録させる登録手段と、前記利用者に許されたサービスを実行させる実行手段と、前記設計資産を自動的に流通させる流通手段とを具備することを特徴とする半導体設計資産の流通システム。

【請求項2】請求項1の半導体設計資産の流通システムにおいて、前記登録手段は、前記サービスの制御情報、前記設計資産の検索情報、および、該設計資産の抽出情報登録させるようになっていることを特徴とする半導体設計資産の流通システム。

【請求項3】請求項1の半導体設計資産の流通システムにおいて、前記設計資産は、当該設計資産を検索させる対象のカタログ情報、該設計資産の再利用に有効な被検索対象のコンテンツ情報、および、該設計資産を前記半導体製品に再利用する回路データを含み、前記サービスに応じて登録されたデータを加工させ、前記利用者に利用させるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項4】請求項3の半導体設計資産の流通システムにおいて、前記設計資産のカタログ情報の登録は、一括入力かあるいは前記カテゴリ情報に従ってメニュー形式で入力させ、該カテゴリ情報に基づいて前記設計資産を加工させるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項5】請求項3の半導体設計資産の流通システムにおいて、前記回路データは、前記半導体製品の開発工程毎の回路データであり、前記利用者に該開発工程毎の必要な回路データを選択せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項6】請求項3の半導体設計資産の流通システムにおいて、前記回路データは、当該回路データの登録条件をルールとして登録させ、登録時において、前記利用者に該回路データを当該回路データのルールに基づいて登録せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項7】請求項3の半導体設計資産の流通システムにおいて、前記利用者をグループに分けて公開範囲として登録させ、前記設計資産の登録時に該公開範囲に付与して登録させ、該設計資産を該公開範囲に基づいて提供せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項8】請求項7の半導体設計資産の流通システムにおいて、前記設計資産のカタログ情報は、情報項目毎に公開範囲をマスクする公開用マスクを設定して登録

させ、該カタログ情報を公開する時に前記公開用マスクに基づいて提供せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項9】請求項1の半導体設計資産の流通システムにおいて、前記登録手段は、前記設計資産のカテゴリ情報を登録させ、該登録されたカテゴリ情報に基づいて、異なる設計資産の運用環境の間においても該設計資産の流通を可能としたことを特徴とする半導体設計資産の流通システム。

【請求項10】請求項1の半導体設計資産の流通システムにおいて、該流通システムは複数のサーバを備え、該複数のサーバ間に階層を設け、サーバ情報の登録時に、該サーバ間の階層情報および公開範囲等を登録させ、該サーバ間で情報をやり取りする時、該サーバ間の階層情報および公開範囲等を認識して該サーバ間の情報の授受を行わせるようになっていることを特徴とする半導体設計資産の流通システム。

【請求項11】請求項10の半導体設計資産の流通システムにおいて、前記サーバ情報の登録時に、設計資産の公開に関する承認処理の条件を登録させ、指定されたサーバにおいて、該承認された設計資産のみを公開せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項12】請求項3の半導体設計資産の流通システムにおいて、前記カタログ情報の検索は、登録されたカテゴリの階層毎の検索絞り込みを含み、フリーワードおよび1つ以上のカテゴリ項目の指定により検索を行わせるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項13】請求項1の半導体設計資産の流通システムにおいて、前記利用者の登録時に、前記設計資産の登録時等にその情報をメールで知らせる条件を登録させ、該設計資産が登録された時等に該登録された条件に従ってメールの発信を行わせるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項14】請求項1の半導体設計資産の流通システムにおいて、前記設計資産の登録時等にその情報を表示する条件を登録させ、該設計資産が登録された時等に該登録された条件に従って加工された情報を表示せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項15】請求項1の半導体設計資産の流通システムにおいて、該流通システムの利用者のログを収集させ、該収集したログを利用者の用途別に加工して表示せらると共に、グループウェアに自動連携して加工結果を提供せらるるようにしたことを特徴とする半導体設計資産の流通システム。

【請求項16】請求項1～15のいずれか1項の半導

体設計資産の流通システムにおいて、前記設計資産は、IPの情報であることを特徴とする半導体設計資産の流通システム。

【請求項17】半導体製品に再利用可能な設計資産の流通を行うシステムにおける半導体設計資産の流通装置であって、前記設計資産を登録させると共に、前記流通システムの利用者および当該利用者が利用できるサービスを登録させる登録手段と、

前記利用者に許されたサービスを実行させる実行手段と、

前記設計資産を自動的に流通させる流通手段とを具備することを特徴とする半導体設計資産の流通装置。

【請求項18】前記半導体設計資産の流通装置は、サーバであり、且つ、前記設計資産の流通を行うシステムは、該サーバを複数ネットワーク接続して構成されることを特徴とする半導体設計資産の流通装置。

【請求項19】半導体製品に再利用可能な設計資産の流通を行うシステムにおける半導体設計資産の流通装置用のソフトウェアを記憶した記憶媒体であって、前記設計資産を登録させると共に、前記流通システムの利用者および当該利用者が利用できるサービスを登録させる登録手段と、

前記利用者に許されたサービスを実行させる実行手段と、

前記設計資産を自動的に流通させる流通手段とを具備することを特徴とする半導体設計資産の流通装置用のソフトウェアを記憶した記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体設計資産の流通システム並びに流通装置、および、該流通装置用のソフトウェアを記憶した記憶媒体に関するものである。特に、インターネット/インターネットを利用してIP(Hierarchical Property: 設計資産)の流通を行う半導体設計資産の流通システムに関するものである。

【0002】近年、半導体の集積度が向上し、半導体製品の一つであるシステムLSIの開発において、開発工数の増加および開発期間の長期化が大きな問題となっており、その対策として、回路データ等の設計資産(IP)の再利用が重要となって来ている。ここで、IPとは、コア(メガセル)、回路ライブラリ、組み込み機器用マイクロプロセッサ向けのソフトウェア部品等である。そして、IPの再利用には、IPの流通を促進するための仕組みが必要であり、ネットワーク技術が進んでいる今日、インターネット/インターネットを利用したIPの流通を行う半導体設計資産の流通システムが要望されている。

【0003】

【従来の技術】近年、半導体のテクノロジーの微細化が

進み、半導体製品の回路規模は飛躍的に増加している。具体的に、例えば、 $0.25\mu m$ の設計ルールによる2000万トランジスタ規模のシステムLSIの量産も行われようとしている。そして、汎用マイクロプロセッサと、周辺論理やメモリ、或いは、通信プロトコル処理回路や入出力バスインターフェース回路等の組み込み機器の回路とを1チップ化したシステムASIC(*Application Specific Integrated Circuit*)も実現されている。

このシステムASICは、例えば、MPU(*Micro Processor Unit*)やASSP(*Application Specific Standard Product*)をコアとし、これらのコアとメモリや周辺回路等を含んで構成される。なお、本明細書におけるシステムLSIとは、上記のシステムASICおよびFMPUやASSP等を広く含むものである。

【0004】システムLSIは、必要とされる機能に応じて回路ブロック(コア、メモリ、周辺回路等)を設けることになるが、増大する集積度や必要とされる機能の複雑さ等に伴って、目的とするシステムLSIを開発するまでの工数の増加および期間の長期化が大きな問題となっている。そこで、例えば、ASSP等の流通スタイルは、個別チップからIP(マクロ)へ変わってきている。

【0005】図1はシステムLSIの一例を概念的に示す図であり、マルチメディアLSIの例を示すものである。図1に示されるように、マルチメディアLSI(システムLSI)1は、例えば、DSP(Digital Signal Processor)ブロック11、MPEG(Motion Picture Expert Group)ブロック12およびATM(Asynchronous Transfer Mode)ブロック13を備えているが、これらDSPブロック11、MPEGブロック12およびATMブロック13は、IPとして提供される。

【0006】

【発明が解決しようとする課題】従来、IPの利用者は、例えば、IPを販売している会社から紙ベースのカタログ情報を入手し、IPの詳細仕様は直接販売会社から説明を受け、回路データはフロッピーなどの電子媒体にて入手していた。従って、利用者はグローバルにIPの情報を入手するのに多くの工数と時間を要し、その結果、IPの再利用が進まず、システムLSIの開発が非効率となっていた。

【0007】本発明は、上述した従来技術が有する課題に鑑み、設計資産(IP)の情報をタイムリーに利用者が入手できるようにすることを主たる目的とする。さらに、本発明は、共通の資産であるIPを最大限に利用することを目的とする。

【0008】

【課題を解決するための手段】本発明によれば、半導体製品に再利用可能な設計資産の流通を行う1つ以上のサーバを備えた半導体設計資産の流通システムであって、前記設計資産を登録させると共に、前記流通システムの

利用者および当該利用者が利用できるサービスを登録させる登録手段と、前記利用者に許されたサービスを実行させる実行手段と、前記設計資産を自動的に流通させる流通手段とを具備することを特徴とする半導体設計資産の流通システムが提供される。

【0009】本発明の半導体設計資産の流通システムによれば、登録手段により、設計資産が登録されると共に、流通システムの利用者およびその利用者が利用できるサービスが登録される。また、実行手段により、利用者に許されたサービスが実行され、さらに、流通手段により、設計資産が自動的に流通される。これにより、設計資産(I P)の情報をタイムリーに利用者が入手できるようにすることができる。

【0010】

【発明の実施の形態】以下、添付図面を参照して、本発明に係る半導体設計資産の流通システム(流通装置)の実施例を説明する。図2は本発明に係る半導体設計資産の流通システムの全体的な構成を概略的に示すブロック図であり、例えば、半導体設計資産の流通システムをF社に適用した様子を示すものである。図2において、参考符号100はF社のインターネットIHサーバ(インターネット公開用サーバ)、101、102、103、…はインターネットを介して接続される他のサーバ(インターネットIHサーバ)、110はインターネット、120および130はファイアウォール、200はF社のインターネットIHサーバ(インターネット公開用サーバ)、210、220、230は、例えば、各部門毎に設けられたインターネットIHサーバを示している。また、参考符号231および232は各プロジェクト(プロジェクトチーム)に対して設けられたインターネットサーバ、233は特定顧客用サーバ、140は専用回線、234は特定顧客、240は管理者(装置管理者)、そして、250はユーザ(利用者)を示している。

【0011】ここで、IHサーバとは、I Pハイウェイ(HW)サーバの略でI Pの高速伝送が可能なサーバを示している。また、I P(HardwarePriority:設計資産)とは、コア(メガセル)、回路ライブラリ、組み込み機器用マイクロプロセッサ向けのソフトウェア部品等を総称したものである。具体的に、I Pは、例えば、カタログ部(提供元、機能、仕様、ビジネス条件等)、コンテンツ部(データシート、バグ・アップデート情報、Q&A集等)、スタンプ部(登録日、公開範囲、参考回数等)、および、設計データ部(モデル:VHDL(HardwareDefinitionLanguage),GDS II等)を備えて構成されている。

【0012】図2に示されるように、本発明の半導体設計資産の流通システムは、例えば、インターネット110を介して他のIHサーバと接続することにより、シス

テムLSIにおけるI Pの利用を世界的規模でリアルタイムに実現することが可能となっている。ここで、インターネット公開用サーバ100は、例えば、会社(F社)毎、或いは、事業所毎に設けられるもので、世界的規模で存在するI Pの情報を収集すると共に、自分のIPを世界的規模で提供するためのものである。

【0013】インターネット公開用サーバ(親インターネットIHサーバ)200は、例えば、例えば、会社(F社)の各部門毎に設けられ、F社内に存在するI Pの情報収集、および、その収集した情報をF社内のユーザに提供するためのもので、世界的規模で存在するI PをF社内のユーザに効率よく提供するためのものである。また、親インターネットIHサーバ200は、各インターネットIHサーバ(子インターネットIHサーバ)210、220、…間のI Pを受け渡すためにも使用される。

【0014】子インターネットIHサーバ210、220、…は、例えば、プロジェクトチーム毎に設けられ、ローカルなエリア内のI Pの流通を行うためのものである。なお、本発明の半導体設計資産の流通システムは、例えば、子インターネットIHサーバ230に対して孫インターネットサーバ231、232を設けたり、また、ファイアウォール130を介して特定顧客用サーバ233から専用回線140を介して特定顧客(サーバ)234に接続する等様々なシステム構成にすることができる。ここで、子インターネットIHサーバ(210、220等)、孫インターネットサーバ231、232、および、特定顧客用サーバ233等は、システム上必須のものではない。

【0015】図3は本発明の半導体設計資産の流通システムの要部を示すブロック図であり、図4は本発明の半導体設計資産の流通システムにおける処理の一例を説明するための図である。なお、図3および図4は、図2における1つのインターネットIHサーバ(A部門用サーバ)210を抜き出して示すものであり、このA部門用

サーバ210は、LAN(localAreaNetwork)を介してインターネット公開用サーバ200に接続されている。

【0016】図4に示されるように、ネットワーク上のサーバ/クライアントにおいては、次の手順で処理が行われる。まず、S11に示されるように、装置管理者240は、制御情報およびユーザ情報を登録する。すなわち、装置管理者240は、サーバ制御情報(サーバ名、公開制御<承認の要否>、I P転送制御<転送タイミング>等)、運用条件(データ保存期間等)、および、装置の運用管理者等のユーザ情報を登録する。さらに、運用管理者は、カテゴリ情報(カテゴリ名、カテゴリ構成等)、および、ユーザ情報(グループ名、ユーザ名、サービス種類等)を登録する。そして、S12およびS13、S14に示されるように、ユーザ250は、登録さ

れたサービス情報を参照して、IP登録およびIP検索等の処理を行う。

【0017】そして、ユーザ250は、サービスで許可された次の処理、例えば、パスワードの変更処理、IPの登録/更新/削除/公開範囲の変更処理、および、IPの検索/参照/抽出処理を行う。図5および図6は本発明の半導体設計資産の流通システムにおける登録/更新/削除処理の表示画像の例を概念的に示す図であり、具体的なIPの登録/更新/削除/公開範囲の変更処理を行う表示画面の一例を示すものである。

【0018】図7～図9は本発明の半導体設計資産の流通システムにおける検索処理の表示画像の例を概念的に示す図であり、具体的なIPの登録/更新/削除/公開範囲の変更処理を行う表示画面の一例を示すものである。なお、図5～図9に示す例では、MPEG2およびSPARC（登録商標：以下、省略）のIPを処理する様子が示されている。

【0019】図10は本発明の半導体設計資産の流通システムにおけるIPの構成を概略的に示す図である。S21に示されるように、IP（IP元データ）は、例え

ば、カタログ、コンテンツ、および、回路データ（設計データ）等を備えて構成され、S22に示されるように、IP情報として登録される。この登録されたIP情報は、S23～S25に示されるように、目的に応じて加工され、それぞれIP検索、IP参照およびIP抽出用に処理される。すなわち、S23およびS26に示されるように、例えば、カタログ（検索用データ）はIPの検索および比較等により処理され、また、S24およびS27に示されるように、例えば、コンテンツ（HTML：HyperText Markup Language）はIPの詳細情報（利用ノウハウ等）の参照等により処理され、そして、S25およびS28に示されるように、例えば、回路データはLSIへの再利用のための回路データの抽出等により処理される。

【0020】表1～表4は、IPにおけるカタログ（カタログ情報）の構成例（バイト数等の形式的な構成の例）を示す表である。

【0021】

【表1】

カタログの構成(その1)		バイト数	値の範囲	備考(初期値、範囲など)
レベル番号	データ項目名			
1	IP ID	4	0x	
1	IP Address	256	任意の文字列	ユーザが任意に入力。
1	Company	256	マスク管理	会社名 会社名、会員登録の会員名 会員登録、会員登録の会員名 会員登録、会員登録の会員名
2	Division	256	マスク管理	
1	Function1	256	マスク管理	会員登録、会員登録マスク登録
2	Function2	256	マスク管理	会員登録、会員登録マスク登録
3	Function3	256	マスク管理	会員登録、会員登録マスク登録
4	Others	256	任意の文字列	会員登録、会員登録マスク登録
2	Bit	4	0x	
2	Cache Size	4	0x	単位“B”
2	Security	4	0x	
3	Bit1	4	0x	
3	Word	1	0x	
2	Font Configuration	256	任意の文字列	
2	Partition Option	256	任意の文字列	
2	Equivalent Standard	256	任意の文字列	
2	Equivalent Product	256	任意の文字列	
2	FIRU Size	4	0x	
2	Change Count	4	0x	
2	Multipier	8	0x	
2	Resolution	8	0x	会員登録の文字列
2	Note	1024	会員登録の文字列	

【表2】

【0022】

カタログの構成(図の2)

1	Market	256	マスク管理
2	Market2	250	マスク管理
2	Others	255	マスク管理
1	Specification	8	AND: M1S, M2S, "SPEC1", "SPEC2", "M1S"
2	Calculation(MAC)	8	0x
2	Clock Frequency	-----	-----
3	Clock Frequency(MIN)	8	0x
3	Clock Frequency(MP)	8	0x
3	Clock Frequency(MAX)	8	0x
2	Access Time(MS)	8	0x
2	Transmission Rate	8	0x
2	Frequency Band	-----	-----
3	Frequency Band(MIN)	8	0x
3	Frequency Band(MAX)	8	0x
2	Lock Up Time(US)	8	0x
2	Jitter Margin(US)	8	0x
2	S/N Ratio(MIN)	8	0x
2	Gain(MAX)	8	0x
2	Power Consumption	-----	-----
3	Routing	-----	-----
4	TYP	8	0x
4	MAX	8	0x
3	Standby	8	0x
2	Note	1024	注意の文例

【0023】

【表3】

【表4】

[カタログの構造(その3)]		
1	Physical Specification	-----
2	Die Size	4 0x
2	Die Size(Note)	32 [[系の文字列]]
2	Area Size	2 [[系の文字列]]
2	Signal Pin Counts	-----
3	Total Pin	4 0x
3	Input Pin	4 0x
3	Output Pin	4 0x
3	Test Pin	4 0x
1	Operation Condition	-----
2	Supply Voltage	6 X(マイナス極あり) 極性、単位: V
2	T	-----
3	T(MIN)	8 X(マイナス極あり) 単位: C
3	T(MAX)	8 X(マイナス極あり) 単位: C
2	Signal Level	-----
3	Signal Level (MIN)	8 X(マイナス極あり) 単位: V
3	Signal Level (MAX)	8 X(マイナス極あり) 単位: V
3	Role	32 [[系の文字列]]
1	Target Technology	-----
2	ASIC Vendor Name	230 マスタ音頭
3	Technology Code	256 マスク音頭
1	Can Tool	256 マスク工具
2	Tool Name	256 [[系の文字列]]
2	Others	-----

(カタログの構成(その4))

1	Initial variables	4	1.0	1:あり 0:なし。
2	VSI Configuration	256	任意の文字列	
2	Reversible Level	256	任意の文字列	既存あり
3	Model Type	256	任意の文字列	
3	Revision	256	任意の文字列	
3	URL	256	任意の文字列	
2	Others	256	任意の文字列	
	Options			
2	System Development Environment	256	任意の文字列	
2	Software Firm	256	任意の文字列	
2	Generalization Level	256	任意の文字列	
2	Evaluation Model	4	1.0	1:あり、0:なし
1	Business Condition			
2	Internal	10	IPR/-/-	IPR/-/-
2	Public	10	IPR/-/-	IPR/-/-
2	Target User	256	任意の文字列	
2	Contract Condition	256	任意の文字列	
1	User Support			
2	Internal			
3	Inquiry	256	任意の文字列	
3	Telephone	2	〔他の文字列〕	
3	E-mail	256	任意の文字列	
3	FAX	2	〔他の文字列〕	
2	External			
3	Inquiry	256	任意の文字列	
3	Telephone	2	〔他の文字列〕	
3	E-mail	256	任意の文字列	
3	Fax	2	〔他の文字列〕	

【0025】表1～表4(表1)において、例えば、IPのID(Ientification)は4バイトで構成され、IP名(IPName)は256バイトでユーザが任意に入力するようになっている。さらに、例えば、機能の大分類functionは、256バイトで登録時に1つ選択し、また、ビット幅(bits)は4バイトで示されている。ここ

で、例えば、IPのIDは、国際的な固有化のルールに従って決めることが必要である。

【0026】表5～表7は、カタログの内容例(具体的なMPUのカタログ情報の例)を示す表である。

【0027】
【表5】

〔カタログの内容例(その1)〕

IPID	IPID	000018ed. xxx	
IP名	IP名	F SPARC31	
会社名	会社名	XXX	
部門名	部門名	電子デバイス部門[LS(部事本)]シス	
適用分野	大分類		
	小分類		
	他分類		
機能	大分類	MPU	
	中分類	32bit	
	小分類		
	他分類		
	メモリ 構成	ビット幅	32bit
		キャッシュ容量	
		ビット	4300
		ワード	2000
		ポート数	
		機能オプション	MMU
実装基板名			
相当品		SPARC V8Eコア・(MBR8831)	
FIFO段数			
チャンネル数			
速度			
分解能			
その他			
性能	演算性能(MAX)		
	演算性能(MAX)単位	GFLOPS	

【0028】

【表6】

(カタログの内容例(その2))

動作 周波数	動作周波数(MIN)	
	動作周波数(TYP)	
	動作周波数(MAX)	6GHz
	アクセスタイム(MAX)	
	転送レート(MAX)	
	転送レート(MAX)単位	
帯域	周波数帯域(MIN)	
	周波数帯域(MAX)単位	
	周波数帯域(MAX)	
	周波数帯域(MAX)単位	
	ロックアップタイム(MIN)	
	ジャッターリミット(MAX)	
	S/I比(MAX)	
消費電力	消費電力(TYP)	
	消費電力(MAX)	
	スタンバイ時	
	その他	
外形仕様	ゲートサイズ	
	ゲートサイズ(参考)	
	エリアサイズ	3.6×4.0mm ²
信号 端子数	解像子数	
	入力端子数	
	出力端子数	
	テスト専用端子数	
	その他	
動作条件	電源電圧	3.3V

【0029】

【表7】

【カタログの内容例（その3）】

TJ	TJ(MIN)	
	TJ(MAX)	
信号 レベル	信号レベル(MIN) 信号レベル(MAX)	
	その他	
対応テクノロジ	LSIベンダ名 テクノロジコード	ハードマクロ DS9041E
	その他	
CADツール	ツール名 ツール	
	その他	
技術情報	VS標準 測定レベル データ種類 データ版数 URL その他	
付属情報	開発環境 ソフトウェア（ドライバ・ファーム） 品質レベル 評価サンプル（評価ボード） その他	GNU Cコンパイラ 汎用チップ(MB8631)による動作評価 MB8631用評価ボードあり
ビジネス条件	社内提供時期 社外提供時期 対象ユーザ 契約条件 その他	提供中 FASICユーザ
ユーザサポート	社内連絡先 社内TEL 社内E-MAILアドレス 社内PAX 社外連絡先 社外TEL 社外E-MAILアドレス 社外PAX	

【0030】具体的に、表5～表7（表5）のカタログ例では、IPのIDは「IP0001」で、IP名は「FASIC」となっている。さらに、例えば、機能（カテゴリ）の大分類は「MPU」で、ビット幅（メモリ構成のビット幅）は「8bit」となっている。このよう、カタログは、各IPに対して提供され、検索用データとして使用され得るものである。

【0031】次に、表8～表10を参照して、カテゴリ

（カテゴリ情報）を説明する。カタログには、例えば、会社名並びに部門名、適用分野、および、機能等がある。ここで、会社名並びに部門名のカテゴリとしては、F社のA部門、B部門、C部門等のデータである。表8はカテゴリ（適用分野）の内容例を示す表である。

【0032】

【表8】

【カテゴリ（適用分類）の内容例】

大分類	小分類
PC	Desktop Note MC PC Others
PC-Peripheral	Keyboard Mouse Printer PC Board CRT Others
Mobile Communication	PDC PHS CDMA Others
ITS	Car Navi Others
Network	Others
Consumer	STB DVC DSC Game Others
File	DVD DD HDD Others

【0033】表8において、例えば、適用大分類としては、パーソナルコンピュータ（PC）、パーソナルコンピュータの周辺機器（PC-Peripheral）、および、移動体通信（Mobile Communication）等であり、また、適用小分類としては、デスクトップ型（Desktop）やノート型（Note）、キーボード（Keyboard）やマウス（Mouse）、およ

び、パーソナルディジタルセルラー（PDC）やパーソナルハンディホンシステム（PHS）等である。

【0034】表9および表10は、カテゴリ（機能）の内容例を示す表である。

【0035】

【表9】

【表9】(機能)の内容例(その1)

機能大分類	機能中分類	機能小分類
MPU	16bit 32bit Others	
MCU	8bit 32bit Others	
DSP	16bit Fixed Point	
	20bit Fixed Point	
	24bit Floating Point	
	32bit Floating Point	
Primitive Macro	Data Path	DCT/IDCT PPU ALU Multiplier Others
	I/O Macro	PCI GTL LVTTL CIT LVDS LCD Driver Others

【0036】

【表10】(機能)の内容例(その2)

Primitive Macro	Mixed Signal	AD/DA Opamp Comparator Analog Switch Reference Voltage Others
	Memory	SRAM DRAM Flash RAM ROM Others
	Others	FIFO PLL/VCO IH Delay Line
MPU	Interface/Peripheral	PCI USB IEEE1394 PCMCIA SCSI IDE Parallel Port DANT Timer DMA I2Cbus Others
	Network	Ethernet ATM XDSL EPON Others
	Others	

【0037】表9および表10において、機能大分類としては、MPU, DSP, および、基本マクロ(Primitive Macro)等であり、また、機能中分類としては、16ビット(Bit)や32ビット(Bit), 20ビット固定

等である。

小数点(0bit,Floatingbit)や32ビット浮動小数点(0bit,Floatingbit)および、I/Oマクロ(0bit)等やメモリ(FW)等である。なお、表9および表10では、機能中分類のI/Oマクロおよびメモリ等に対して、PCIやGTL、および、SRAMやDRAM等の機能小分類が設けられている。

【0038】上記のカテゴリ情報(会社名並びに部門名、適用分野、および、機能等)により、設計資産のカタログ情報を登録をメニュー形式で入力したり、設計資産の加工が行われることになる。図11は本発明の半導体設計資産の流通システムにおけるIPの情報のカテゴリ変換処理の一例を説明するための図である。図11において、参照符号31は、例えば、F社における運用体系(第1の運用体系)を示し、32はM社における運用体系(第2の運用体系)を示している。

【0039】図11に示されるように、例えば、F社における第1の運用体系31とM社における第2の運用体系が異なるとき、運用管理者が第1の運用体系31(F社の運用環境)に従って登録した第1の運用体系のIP情報(S31)は、上述したようなカテゴリ情報(S32)に基づいて変換(S33)され、第2の運用体系32(M社の運用環境)に適した第2の運用体系のIP情報(S34)とされる。すなわち、本実施例の半導体設計資産の流通システムによれば、登録されたカテゴリ情報を基にIPの情報をカテゴリ変換処理し、異なったIP流通の運用環境間でIPを流通させることができる。

【0040】図12は本発明の半導体設計資産の流通システムにおけるIPのカタログ情報の入力処理を説明するための図である。IPのカタログ(例えば、表5～表7に示すようなカタログ情報)を登録するには、S45のIPカタログ登録メニューにおいて、一括入力またはメニュー形式を選択して入力処理を行う。

【0041】すなわち、IPのカタログ情報を一括入力する場合には、S42の一括入力処理において、S41の定型なテキスト形式(SGML形式やCSV形式等)およびS43のカテゴリ情報(カテゴリデータベース)等に基づいて一括して入力する。或いは、IPのカタログ情報をメニュー入力する場合には、S44のメニュー入力処理において、S43のカテゴリ情報に従ってメニュー形式(図5および図6参照)で入力する。入力されたIPカタログ情報は、カテゴリに基づくデータベース構成にて登録される。なお、表5～表7は、「FSRKB3」という名前のIPのものであり、このようなカタログ情報が様々なIPに対して作成され、カタログデータベース(S46)に登録される。

【0042】図13は本発明の半導体設計資産の流通システムにおける開発工程毎に必要とされるデータとその対応の例を説明するための図である。半導体製品の回路データ(設計データ)は、後に示す表11のように、開発工程により、そのデータ種類および記述形式が異なる。そこで、本半導体設計資産の流通システムにおいては、回路データとして半導体製品の開発工程毎の回路データを含めておき、開発工程毎の必要な回路データを利用者に選択させるようになっている。また、回路データの登録条件はルールとして登録され、利用者は、回路データをその回路データの登録条件(ルール)に基づいて登録することにより、回路データ登録時のミスの発生を防止するようになっている。

【0043】表11は、設計データの種類と流通レベル(開発工程)との関係を示すものである。また、表12は、設計データの種類による表現形式および内容の違いを示すものである。

【0044】

【表11】

【設計データの階級と論理レベル(開発行程)との対応】

データ種類	仕様レベル アーキテクチャ レベル	ハイレベル ビヘイビア レベル	論理レベル		物理レベル	
			既定 + スクリプト	キットリスト	レイアウト	マスク
ドキュメント	●	●	●	●	●	●
C/C++	●	▲	▲	▲	▲	▲
ビヘイビア		●	▲	▲	▲	▲
RTL			●	▲	▲	▲
合成スクリプト			●	▲	▲	▲
ネットリスト				●	●	▲
シミュレーションデータ	●	●	●	●	●	●
チストデータ			●	●	●	●
フロアプランデータ					●	▲
レイアウトデータ					●	●
タイミングデータ				▲	●	●
I/Oデータ					●	▲
マスクデータ					▲	●

●必要なデータ

▲付属してあつた方が望ましいデータ

【0045】表12】

(設計データの階級による表現形式および内容の違い)

データ種類	表現形式(ファイル・フォーマット)	内 容
カタログ	Text	特徴(作成者名、リリース等)
コンテンツ	HTML (Text, Graph, Table)	機能要、使用方法、用途
ドキュメント	HTML, Text, ワープソフト依存	詳細仕様、スペック
C/C++	C, C++	
ビヘイビア	VHDL	
RTL	VHDL, Verilog-HDL	
合成スクリプト	ツール依存	
ネットリスト	VHDL, Verilog-HDL, HDL	
シミュレーションデータ	VHDL, Verilog-HDL, C, C++	機能チェックデータ
チストデータ	PTBIL, VHDL, Verilog-HDL	
フロアプランデータ	PDSF	
レイアウトデータ	DEF	配置、配線データ
タイミングデータ	SDF	ディレイ、セットアップホールド
I/Oデータ	SPP, SPICE	名前、抵抗
マスクデータ	CDS II	

【0046】表11に示されるように、設計データ(回路データ)としては、例えば、ドキュメント、ネットリスト、レイアウトデータ、および、マスクデータ等があり、それぞれ各開発工程において必要なもののが異なっている。また、表12に示されるように、例えば、ドキュメントは、HTMLやテキスト等により表現され、詳細

メントやスペックを示し、また、レイアウトデータは、各エレメントの配置や配線データを示すものである。

【0047】ところで、システムLSIを開発する場合、例えば、システムLSI開発検討段階、仕様レベル設計段階、ハイレベル設計段階、論理レベル設計段階、設計段階等がある。システムLSI

開発検討段階では、IPのカタログやコンテンツといっただ情報(機能、品質、提供元等)が必要とされ、また、仕様レベル設計段階では、例えば、アーキテクチャ評価(仕様レベルシミュレーション)のためのドキュメントやC/C++による情報(詳細仕様やスペック等)が必要とされる。さらに、ハイレベル設計段階では、例えば、システム検証(動作レベルシミュレーションや動作レベル合成)のためのドキュメント、ビヘイビアおよびシミュレーションデータ等が必要とされ、また、論理レベル設計段階では、例えば、論理検証(RTLシミュレーション、論理合成、テスト合成、チップデザインプランニング、ゲートレベルシミュレーション、および、タイミ

ング解析等)を行うためにさらにネットリストやテストデータ等が必要となる。そして、論理レベル調整(段階では、例えば、実装/チップバリエーション(レイアウト、自動タイミング調整、テストパターン自動生成等)のために、ドキュメント、ネットリスト、シミュレーションデータ、テストデータ、フロアプランデータ、レイアウトデータ、タイミングデータ、R/Cデータ、および、マスクデータ等が必要となる。

【0048】本実施例では、上記の各データがIPの情報に含まれるようになっており、各開発工程に必要とされるデータを利用社に選択させて提供するようになっている。図14は本発明の半導体設計資産の流通システムにおける公開範囲および公開マスク情報の設定の一例を説明するための図である。

【0049】IP情報は、例えば、プロジェクト向け(図2中のインターネットサーバ231等)、部門向け(図2中のインターネットIHサーバ210等)、事業所向け(図2中のインターネット公開サーバ200)、特定顧客向け(図2中の特定顧客(サーバ)234)、および、一般顧客向け(図2中のインターネットIHサーバ101)等によりその流通範囲が異なる。

【0050】すなわち、本半導体設計資産の流通システムでは、ユーザー(利用者)をグループ分けして公開する範囲を示す公開範囲情報(S62)を登録させると共に、情報項目毎に公開をマスクする(公開しない)項目を示す公開マスク情報(S64)を登録する。そして、S63に示されるように、IP情報S61の登録時に、公開範囲情報S62および公開マスク情報S64により、IPの公開範囲とマスク情報を付与し、公開制御付きIP情報(公開範囲およびマスク情報が不要されたIP情報)S65として登録される。そして、S66に示されるように、各ユーザーに対するIP情報の提供は、IPをその公開範囲およびユーザーの所属しているグループに基づき、且つ、IPの情報項目毎に公開マスク情報を基に公開の可否を判断して行うことになる。ここで、例えば、図2におけるC部門のインターネットIHサーバ230に對して登録された公開範囲は、階層的に下位のサーバ(例えば、インターネットサーバ231)の公開範囲を制限するようになっている。

【0051】図15は本発明の半導体設計資産の流通システムにおけるサーバ情報の一例を説明するための図である。前述した図2に示されるように、本半導体設計資産の流通システムにおいて、各サーバは階層化されているが、IPに関してもIP情報のセキュリティや処理効率を考慮して、複数のサーバ間に階層を設け、サーバ情報の登録時に、その階層および公開範囲等を登録する。そして、サーバ間の情報受取時に、登録された階層および公開範囲を認識してサーバ間でIP情報の取り取りおよびサーバ毎のIP情報の蓄積を行なう。

【0052】すなわち、サーバ情報(公開範囲等)S7

1および公開範囲付きIP情報S75に基づいて、各階層のサーバ(事業所サーバS72、部門サーバS73、プロジェクトサーバS74)に対して、それぞれ対応するIP情報が登録される。ここで、例えば、事業所サーバS72には、事業所向IP情報S76が登録され、部門サーバS73には、事業所向および部門向IP情報S77が登録され、そして、プロジェクトサーバS74には、事業所向、部門向およびプロジェクト向IP情報S78が登録される。なお、事業所サーバS72は、図2中のインターネット公開サーバ200に対応し、部門サーバS73は、図2中のインターネットIHサーバ210等に対応し、そして、プロジェクトサーバS74は、図2中のインターネットサーバ231等に対応するものである。

【0053】図16は本発明の半導体設計資産の流通システムにおける承認処理の一例を説明するための図である。IP情報(IP)は貴重な企業の知的財産であり、正式にIP情報を公開する際、通常、承認が必要である。そこで、本半導体設計資産の流通システムでは、サーバ情報の登録時に、サーバ毎に承認処理の条件を選択させ、且つ、IP情報の登録時に承認処理を選択させようになっている。すなわち、S82において、サーバ情報S81およびIP情報S83に基づいて、IP情報の登録処理と、公開処理時にIP情報の承認の有無のチェックを行って、承認済公開IP情報として登録する。換言すると、IP情報をサーバ間で授受する際に、承認を必要とするサーバにおいて、承認の有無をチェックし、承認が有るIP情報だけ公開する。

【0054】ここで、本半導体設計資産の流通システムのサービスを利用するための権限は、ユーザーIDおよびパスワードにより制御する。権限の種類としては、例えば、IP検索/参照権、IP登録/更新/削除権、IP実績参照権、IP登録承認権、および、IP登録用ユーザーID発行権等である。また、ユーザー管理情報としては、例えば、利用者氏名、E-mailアドレス、電話番号、部門名、会社名、ユーザーID、パスワード、ユーザー・グループ、ユーザーID登録日、ユーザーID有効期限日、公開承認者ユーザーID、権限の種類、および、ホットメールサービスの条件式等である。

【0055】図17は本発明の半導体設計資産の流通システムにおける検索処理の一例を説明するための図である。多量のIP情報の中から、必要とするIP情報をユーザーが容易に見つけられることが重要であるが、本半導体設計資産の流通システムでは、カタログ情報(S95)の検索において、登録されたカテゴリの階層毎の絞り込み(S92)を可能にすると共に、検索方式として、フリーワード指定での検索(S93)と1箇所以上のカテゴリ項目指定での検索(S94)を可能としている。

【0056】ここで、IP情報検索画面S90および検

索結果の表示S91の例としては、前述した図7～図9に示すものである。また、フリーワードの指定としては、例えば、F社やM社といった会社名や必要な回路（半導体製品）の一般名称（MPU）等である。なお、フリーワードは、ユーザーが連想するものを幅広くカバーする必要があるため、例えば、会社名であれば、正式な名称だけでなくその略称等も含み、また、MPU(Micro Processing Unit)であれば、同様の概念に含まれ得るマイクロプロセッサ(Microprocessor)やCPU(Central Processing Unit)等を幅広く含み、それらのいずれ

のワードによっても検索が可能になっている。さらに、カテゴリー階層での絞り込みとは、例えば、前述した表9および表10に示されるような、機能大分類(MPU, MCU, MPR等)や機能中分類(16bit, 32bit等)或いは機能小分類(FPU, ALU等)による絞り込みに対応するものである。図18は本発明の半導体設計資産の流通システムにおけるメール発信処理の一例を説明するための図である。

【0057】ユーザーは、常に最新のIP情報をタイムリーに且つ容易に入手することを必要としているが、本半導体設計資産の流通システムでは、ユーザーの登録において、IP情報の登録時にその旨（IP情報が登録された旨）のメールを発信させる条件をユーザー毎に登録する。すなわち、新たなIP情報(IP)が登録されると、ユーザー情報(メール発信条件)S101を参照して、そのIP情報がユーザーのメール発信条件に合致するかどうかをチェックして、そのユーザーにメールを自動送信する(S102)ようになっている。

【0058】図19は本発明の半導体設計資産の流通システムにおける各種処理情報の表示処理の一例を説明するための図である。ユーザーは、IPの各種処理状況を容易に把握できることを必要としているが、本半導体設計資産の流通システムでは、IPの処理(登録、更新、削除等)状況を表示させる条件を登録させ、登録された条件に基づき処理状況の情報を加工してその情報を表示するようになっている。すなわち、IP情報S114は、S113において様々な処理(IP処理: IPの登録/更新/削除、および、IPの公開範囲の変更等)が行われるが、登録されたIP処理状況表示条件(S111)に応じて、S112において、IP処理状況の表示(処理状況のチェック、および、処理状況の加工と表示)を行う。これにより、ユーザーは、表示されたIP処理情報を参照し、IPの各種処理状況を把握することになる。

【0059】図20は本発明の半導体設計資産の流通システムにおけるログ処理の一例を説明するための図である。ユーザーは、利用状況を容易に把握し、分析できることを必要としているが、本半導体設計資産の流通システムでは、システムのユーザーの利用状況をログとして自動で蓄積するようになっている。すなわち、S121において、ユーザーのアクセス履歴およびサーバ間の連携履歴

等を収集するサーバ実績(ログ)処理を行い、ログ情報(S122)として蓄積する。さらに、このログ情報S122は、S123において、例えば、ユーザーの用途別に集計処理(サービス毎の分類、履歴表示、および、グループウェア連携等)を行い、グループウェア(WWW: Worldwide Web等)S124を介してその情報を広く公開する。

【0060】図21は本発明の半導体設計資産の流通システムにおける各処理を動的に示す図である。図21において、参考符号S200は第1のサーバ(例えば、図2中のサーバ210)を示し、S300は第2のサーバ(例えば、図2中のサーバ220)を示している。図21に示されるように、例えば、サーバS300においては、ユーザー登録(S301), IP登録(S302), IP削除/更新(S303), IP公開制御(S304), IP検索/参照およびホットメール設定(S305), IP収集(S306), および、ログ集計(S307)等の処理が行われる。また、ユーザー管理DB(データベース)S308, 登録実績(ログ)データベースS309, 検索/参照実績データベースS310, IH提供実績データベースS311, および、IP情報データベース(IP情報、公開範囲情報、および、ログ集計情報等)S312は、サーバS300の記憶装置(ハードディスク等)に格納されている。

【0061】図22は本発明の半導体設計資産の流通システムが適用されるサーバと記憶媒体の例を示すプロック図である。ここで、図22におけるサーバ(処理装置)300は、例えば、図2中のインターネットサーバ231、インターネットIHサーバ210、または、インターネット公開サーバ200等のいずれかのものである。

【0062】本発明の半導体設計資産の流通システムは、各サーバに対し、そのサーバを制御するプログラム(ソフトウェア)として記憶媒体を介して提供される。すなわち、上記した半導体設計資産の流通システムを実現するためのプログラムは、メモリ(RAMやハードディスク)302により直接サーバ(コンピュータ)300に提供されるか、あるいは、プログラム提供者310から回線を介して、または、CD-ROMやフロッピーディスク等の可搬媒体メモリを介して(ロードして)提供される。

【0063】上述したように、本発明によれば、IPの情報をインターネット/インターネットを利用して公開することで、利用者がIPの情報をタイムリーに入手することができる。すなわち、最先端の機能コアを早く、しかも安く調達することが可能となる。また、本発明によれば、IPの再利用に有効な技術情報を付与することで、システムLSIの開発効率を促進することができる。さらに、本発明によれば、IPの回路データをネットワークを利用して授受することで、IPの回路データ

の入手を簡易化することができる。また、本発明によれば、例えば、設計レベルに応じて、利用者に有効な情報を提供することで、半導体設計資産の流通システムの利用促進を図ることができる。

【0064】

【発明の効果】以上、詳述したように、本発明によれば、設計資産（IP）の情報をタイムリーに利用者が入手できるようにすることができる。さらに、本発明によれば、共通の資産であるIPを最大限に利用することができる。

【図面の簡単な説明】

【図1】システムLSIの一例を概念的に示す図である。

【図2】本発明に係る半導体設計資産の流通システムの全体的な構成を概略的に示すブロック図である。

【図3】本発明の半導体設計資産の流通システムの要部を示すブロック図である。

【図4】本発明の半導体設計資産の流通システムにおける処理の一例を説明するための図である。

【図5】本発明の半導体設計資産の流通システムにおける登録／更新／削除処理の表示画像の例を概念的に示す図（その1）である。

【図6】本発明の半導体設計資産の流通システムにおける登録／更新／削除処理の表示画像の例を概念的に示す図（その2）である。

【図7】本発明の半導体設計資産の流通システムにおける検索処理の表示画像の例を概念的に示す図（その1）である。

【図8】本発明の半導体設計資産の流通システムにおける検索処理の表示画像の例を概念的に示す図（その2）である。

【図9】本発明の半導体設計資産の流通システムにおける検索処理の表示画像の例を概念的に示す図（その3）である。

【図10】本発明の半導体設計資産の流通システムにおけるIPの構成を概略的に示す図である。

【図11】本発明の半導体設計資産の流通システムにおけるIPの情報のカテゴリ変換処理の一例を説明するための図である。

【図12】本発明の半導体設計資産の流通システムにおけるIPのカタログ情報の入力処理の一例を説明するための図である。

【図13】本発明の半導体設計資産の流通システムにお

ける開発工程毎に必要とされるデータとその対応の例を説明するための図である。

【図14】本発明の半導体設計資産の流通システムにおける公開範囲および公開マスク情報の設定の一例を説明するための図である。

【図15】本発明の半導体設計資産の流通システムにおけるサーバ情報の一例を説明するための図である。

【図16】本発明の半導体設計資産の流通システムにおける承認処理の一例を説明するための図である。

【図17】本発明の半導体設計資産の流通システムにおける検索処理の一例を説明するための図である。

【図18】本発明の半導体設計資産の流通システムにおけるメール発信処理の一例を説明するための図である。

【図19】本発明の半導体設計資産の流通システムにおける各種処理情報の表示処理の一例を説明するための図である。

【図20】本発明の半導体設計資産の流通システムにおけるログ処理の一例を説明するための図である。

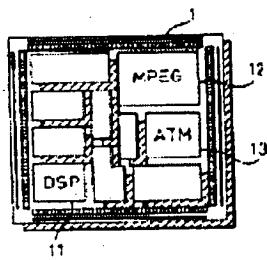
【図21】本発明の半導体設計資産の流通システムにおける各処理を動的に示す図である。

【図22】本発明の半導体設計資産の流通システムが適用されるサーバと記憶媒体の例を示すブロック図である。

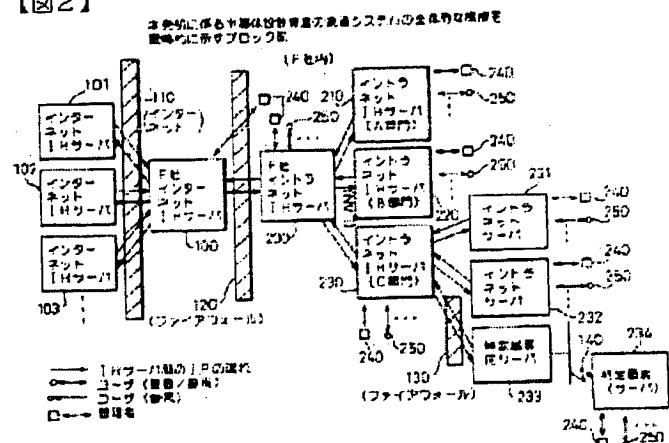
【符号の説明】

- 1 …システムLSI
- 1 1 …DSPブロック
- 1 2 …MPEGブロック
- 1 3 …ATMブロック
- 1 00…インターネットIHサーバ（インターネット公開用サーバ）
- 1 01～1 03…インターネットIHサーバ
- 1 10…インターネット
- 1 20, 1 30…ファイアウォール
- 1 40…専用回線
- 2 00…インターネットIHサーバ（インターネット公開用サーバ）
- 2 10～2 30…インターネットIHサーバ（部門サーバ）
- 2 31, 2 32…インターネットサーバ
- 2 33…特定顧客用サーバ
- 2 34…特定顧客（サーバ）
- 2 40…管理者
- 2 50…ユーザ

【図1】
システムS1の一例を基本的に示す図



【図2】



【図5】

本発明のシステム設計者用の資源システムにおいて、登録／更新／削除を行うための操作画面を画面的に示す図(その1)

【図6】

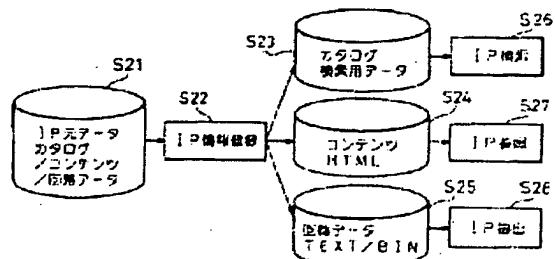
本発明のシステム設計者用の資源システムにおける登録／更新／削除を行うための操作画面を画面的に示す図(その2)

【図7】

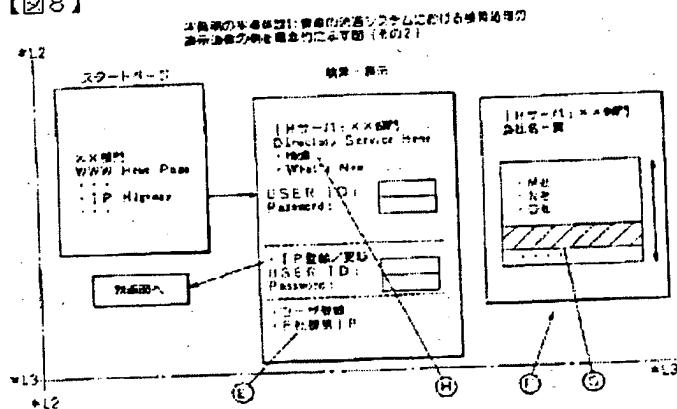
本発明のシステム設計者用の資源システムにおける構成管理の表示画面の例を画面的に示す図(その1)

【図10】

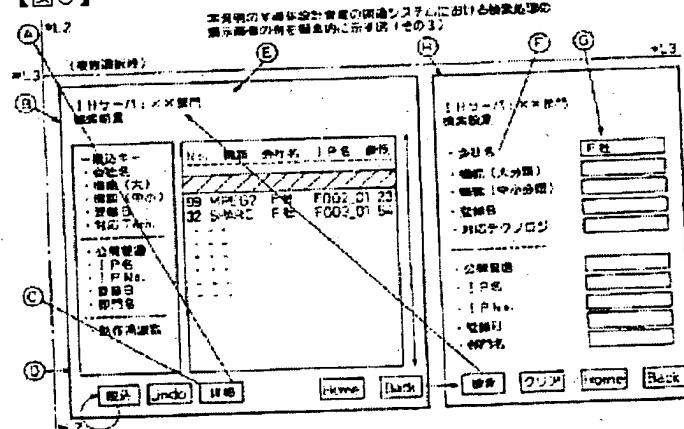
本発明のシステム設計者用の資源システムにおけるIPの構成を画面的に示す図



【図8】

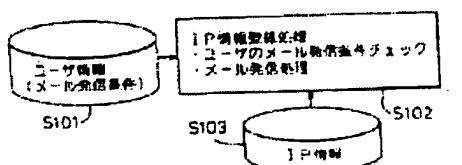


【図9】



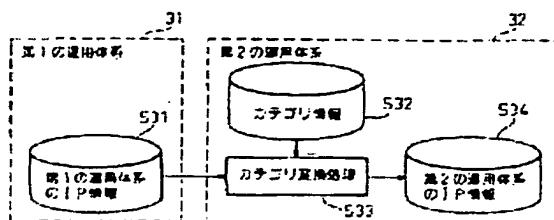
【図18】

本発明の半導体設計装置の通信システムにおけるメール発信処理の一例を説明するための図



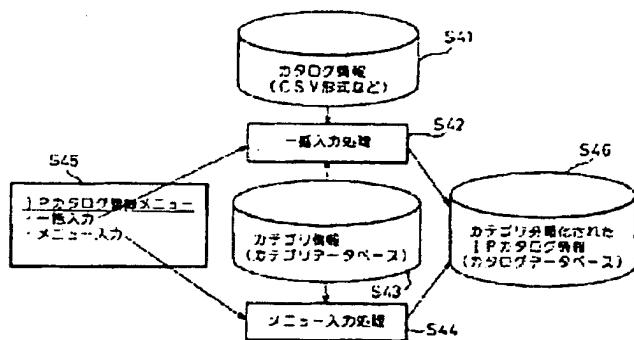
【図11】

本発明の半導体設計会員の流通システムにおける「S」の操作力
カテゴリ変換処理の一例を説明するための図



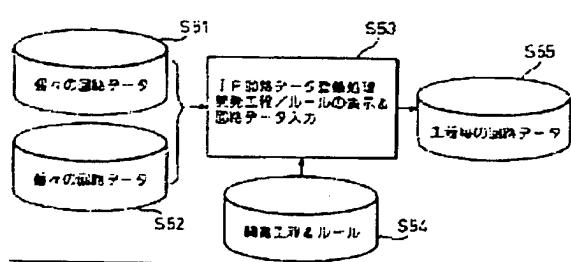
【図12】

本発明の半導体設計会員の流通システムにおける「P」のカタログ
情報を入力処理の一例を説明するための図



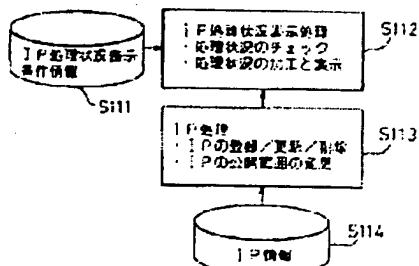
【図13】

本発明の半導体設計会員の流通システムにおける開発工程等に
必要となるデータとその対応の例を説明するための図

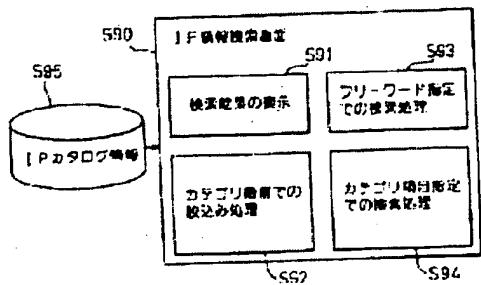


【図19】

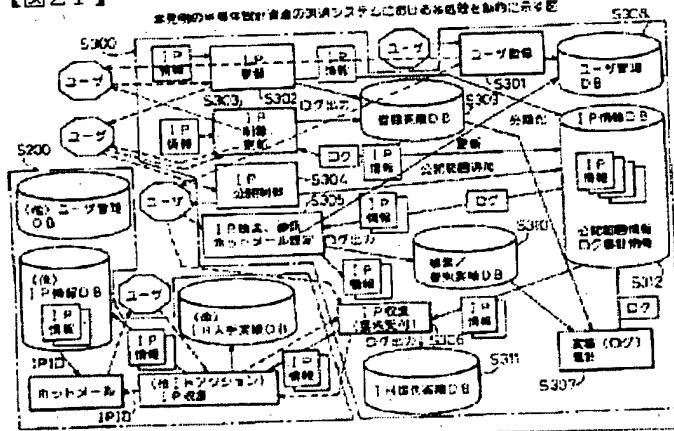
本発明の半導体設計会員の流通システムにおける各種処理機能の
表示処理の一例を説明するための図



【図17】 本発明の半導体設計装置の実現システムにおける検査処理の一例を示すための図

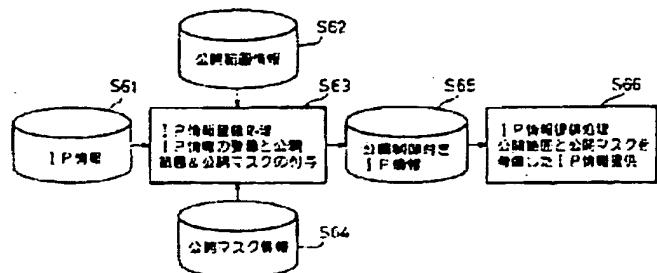


【図21】 二重のアーチ構造による複数の斜め面をもつ複合曲面



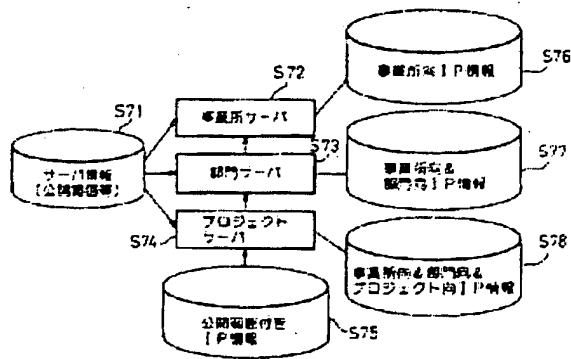
【図14】

本発明の半導体設計装置の測定システムにおける公開実験室および
公開マスク情報の修正の一例を説明するための図



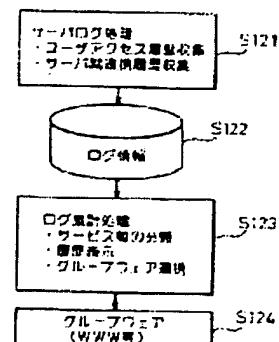
【図15】

本発明の半導体設計装置の測定システムにおけるデータ情報の一例を説明するための図



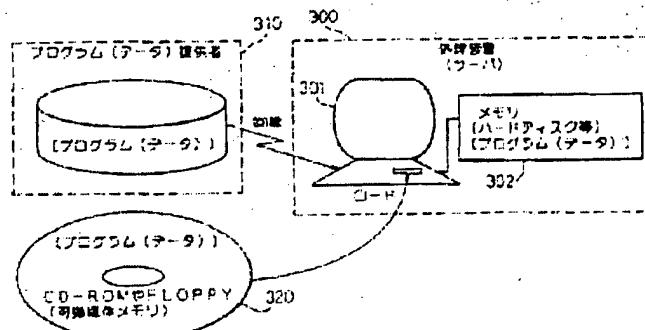
【図20】

本発明の半導体設計装置の測定システムにおけるログ処理の一例を説明するための図



【図22】

本発明の半導体設計装置の構造システムが構成されるサーバと
記憶媒体の伝送手段の構成



フロントページの続き

(2)登録者 森田 泰明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(2)登録者 西森 一博
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(2)登録者 木島 一郎
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内